



(19)

(11) Publication number:

0

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **05069399**(51) Intl. Cl.: **G06F 12/10 G06F 11/10**(22) Application date: **03.03.93**

| | |
|--|--|
| (30) Priority: | (71) Applicant: NEC CORP KOFU NIPPON DENKI |
| (43) Date of application publication: 16.09.94 | (72) Inventor: NISHIGAKI YASUHIRO TODA HIDEMASA |
| (84) Designated contracting states: | (74) Representative: |

**(54) STORAGE ACCESS
PROCESSOR**

(57) Abstract:

PURPOSE: To decrease the hardware quantity by selecting address space information and parity information corresponding to plural address conversion tables in order and inspecting normalcy.

CONSTITUTION: When a physical address is generated with a page number in a physical page number holding part 6a and an in-page address in an in page address holding part 6b, a selector 7 selects the space number and parity data 105-1 to 105-n of a directory 2 in order on the basis of the counted value 110 generated by a counter 9 in order. A parity check circuit 8 makes a parity check on the basis of the space number and parity 109 selected by the selector 7 in order. Further, a counter 9 increases the counted value 110, one by one, and resets its contents when the counted value 110 reaches the number (n) of the address conversion

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-259331

(43)公開日 平成6年(1994)9月16日

| | | | | |
|--------------------------|---------|---------|-----|--------|
| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 6 F 12/10 | G | 7608-5B | | |
| 11/10 | 3 2 0 E | 7313-5B | | |

審査請求 有 請求項の数1 F D (全 4 頁)

(21)出願番号 特願平5-69399

(22)出願日 平成5年(1993)3月3日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(71)出願人 000168285

甲府日本電気株式会社
山梨県甲府市大津町1088-3

(72)発明者 西垣 泰洋

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 戸田 英正

山梨県甲府市大津町1088-3 甲府日本電気株式会社内

(74)代理人 弁理士 ▲柳▼川 信

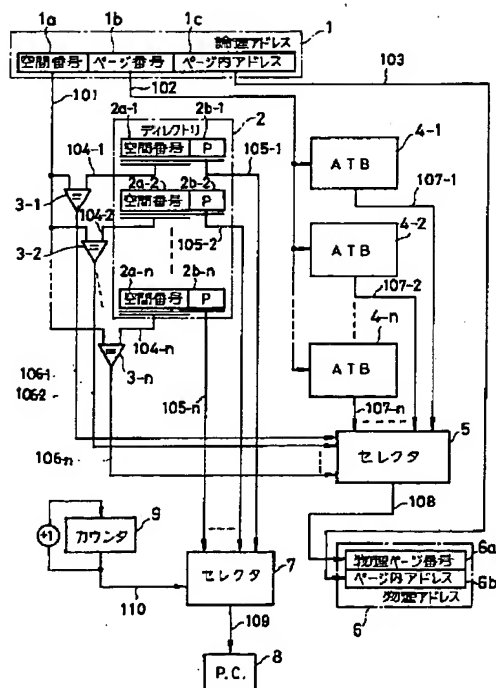
(54)【発明の名称】 記憶アクセス処理装置

(57)【要約】

【目的】 記憶アクセス処理装置のハードウェア量を大幅に削減する。

【構成】 セレクタ7はカウンタ9のカウント値を基にディレクトリ2の空間番号及びパリティを順次選択する。パリティチェック回路8はセレクタ7で順次選択される空間番号及びパリティを基にパリティチェックを行う。

【効果】 アドレス変換テーブル4-1~4-nの空間番号のパリティチェックを共通に行うことができ、アドレス変換テーブル4-1~4-nに対応するパリティチェック回路が一つで済む。



【特許請求の範囲】

【請求項1】 入力された論理アドレスを物理アドレスに変換するための複数のアドレス変換テーブルと、前記複数のアドレス変換テーブル各々に対応して設けられ、自テーブルのアドレス空間を特定するアドレス空間情報と該アドレス空間情報の正常性を確認するためのパリティ情報とを保持する複数の保持手段と、前記複数のアドレス変換テーブル各々に対応して設けられ、前記論理アドレスのアドレス空間情報と前記保持手段の内容とを比較する複数の比較手段とを有する記憶アクセス処理装置であって、前記複数の保持手段各々の保持内容を順次選択する選択手段と、前記複数のアドレス変換テーブル各々に共通して設けられ、前記選択手段で選択された保持内容の正常性を検査する検査手段とを有することを特徴とする記憶アクセス処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は記憶アクセス処理装置に関し、特にアドレス変換テーブルを有する記憶アクセス処理装置に関する。

【0002】

【従来の技術】 従来、この種の記憶アクセス処理装置においては、図2に示すように、複数のアドレス変換テーブル (Address Transtration Buffer; ATB) 4-1~4-nを用いて、論理アドレス保持部1に保持された論理アドレスを物理アドレスに変換して物理アドレス保持部6に保持している。

【0003】 ここで、論理アドレス保持部1は空間番号保持部1aとページ番号保持部1bとページ内アドレス保持部1cとからなり、物理アドレス保持部6は物理ページ番号保持部6aとページ内アドレス保持部6bとからなる。

【0004】 論理アドレスを物理アドレスに変換する場合、アドレス変換テーブル4-1~4-nは夫々1つの空間内の論理アドレスのページ番号を物理アドレスの物理ページ番号に変換している。したがって、アドレス変換テーブル4-1~4-nが夫々どの空間に対応するのかを示すためにアドレス変換テーブル4-1~4-n各々の空間番号を保持するディレクトリ2が設けられている。ここで、ディレクトリ2は各々アドレス変換テーブル4-1~4-nに対応する空間番号保持部2a-1~2a-n及びパリティ (P) 保持部2b-1~2b-nからなる。

【0005】 論理アドレスが与えられると、コンパレータ3-1~3-nは夫々論理アドレス保持部1の空間番号101と、対応するディレクトリ2の空間番号104-1~104-nとを比較し、空間番号101と同じ空間番号を持つアドレス変換テーブル4-1~4-nを検索する。

【0006】 セレクタ5はコンパレータ3-1~3-n

の比較結果106-1~106-nに応じて、論理アドレス保持部1のページ番号102によってアドレス変換テーブル4-1~4-nから読出されたページ番号107-1~107-nのうち一つを選択する。

【0007】 これによって、セレクタ5で選択されたページ番号108は物理アドレス保持部6の物理ページ番号保持部6aに保持され、論理アドレス保持部1のページ内アドレス103はページ内アドレス保持部6bに保持される。

【0008】 よって、検索されたアドレス変換テーブル4-1~4-nの論理アドレスのページ番号に相当する物理アドレスのページ番号を得ることができ、これら物理ページ番号保持部6aのページ番号とページ内アドレス保持部6bのページ内アドレスとによって物理アドレスが生成される。

【0009】 上記ディレクトリ2の空間番号に対しては、パリティチェック回路 (P. C.) 10-1~10-nでディレクトリ2の空間番号及びパリティ105-1~105-nを基に常時パリティチェックが行われている。

【0010】

【発明が解決しようとする課題】 上述した従来の記憶アクセス処理装置では、ディレクトリの空間番号保持部に保持された空間番号が正しいかどうかをパリティチェック回路で常時チェックしているため、パリティチェック回路を大量に必要とするという問題がある。

【0011】 そこで、本発明の目的は上記問題点を解消し、ハードウェア量を大幅に削減することができる記憶アクセス処理装置を提供することにある。

【0012】

【課題を解決するための手段】 本発明による記憶アクセス処理装置は、入力された論理アドレスを物理アドレスに変換するための複数のアドレス変換テーブルと、前記複数のアドレス変換テーブル各々に対応して設けられ、自テーブルのアドレス空間を特定するアドレス空間情報と該アドレス空間情報の正常性を確認するためのパリティ情報とを保持する複数の保持手段と、前記複数のアドレス変換テーブル各々に対応して設けられ、前記論理アドレスのアドレス空間情報と前記保持手段の内容とを比較する複数の比較手段とを有する記憶アクセス処理装置であって、前記複数の保持手段各々の保持内容を順次選択する選択手段と、前記複数のアドレス変換テーブル各々に共通して設けられ、前記選択手段で選択された保持内容の正常性を検査する検査手段とを備えている。

【0013】

【実施例】 次に、本発明の一実施例について図面を参照して説明する。

【0014】 図1は本発明の一実施例の構成を示すブロック図である。図において、本発明の一実施例はディレクトリ2の空間番号及びパリティ105-1~105-

3

nをカウンタ9から供給されるカウント値110によって順次選択するセクタ7と、このセクタ7で選択された空間番号及びパリティ109を基にパリティチェックを行うパリティチェック回路(P. C.)8とを設けた以外は図2に示す従来例と同様の構成となっており、同一構成要素には同一符号を付してある。また、それら同一構成要素の動作は従来例の動作と同様であるので、その動作の説明は省略する。

【0015】論理アドレスが与えられると、物理アドレス保持部6のページ内アドレス保持部6bに論理アドレス保持部1のページ内アドレス103が保持され、物理ページ番号保持部6aにセクタ5で選択されたページ番号108が保持される。

【0016】これら物理ページ番号保持部6aのページ番号とページ内アドレス保持部6bのページ内アドレスとによって物理アドレスが生成されるとき、セクタ7はカウンタ9で順次生成されるカウント値110を基にディレクトリ2の空間番号及びパリティ105-1~105-nを順次選択する。

【0017】パリティチェック回路8はセクタ7で順次選択された空間番号及びパリティ109を基にパリティチェックを行う。尚、カウンタ9はカウント値110を順次1ずつ加算し、カウント値110がアドレス変換テーブル4-1~4-nの個数nになると、その内容をリセットするようになっている。

【0018】このように、カウンタ9で順次生成されるカウント値110を基にセクタ7で順次選択されたディレクトリ2の空間番号及びパリティ105-1~105-nを基にパリティチェック回路8でパリティチェックを行うことによって、ディレクトリ2の空間番号10

4

4-1~104-nのパリティチェックをアドレス変換テーブル4-1~4-n各々に共通に行うことができる。

【0019】よって、従来、アドレス変換テーブル4-1~4-n各々に対応して設けられているパリティチェック回路がパリティチェック回路8一つで済むので、ハードウェア量を大幅に削減することができる。

【0020】

【発明の効果】以上説明したように本発明によれば、複数のアドレス変換テーブル各々に対応するアドレス空間情報及びパリティ情報を順次選択し、これらアドレス空間情報及びパリティ情報を基に該アドレス空間情報の正常性を検査することによって、ハードウェア量を大幅に削減することができるという効果がある。

【図面の簡単な説明】

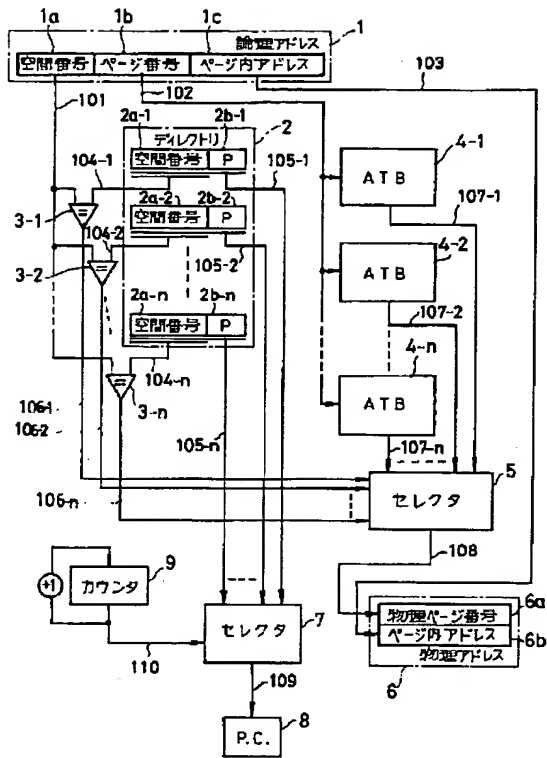
【図1】本発明の一実施例の構成を示すブロック図である。

【図2】従来例の構成を示すブロック図である。

【符号の説明】

- 1 論理アドレス保持部
- 1a 空間番号保持部
- 1b ページ番号保持部
- 2 ディレクトリ
- 2a-1~2a-n 空間番号保持部
- 2b-1~2b-n パリティ保持部
- 3-1~3-n コンパレータ
- 4-1~4-n アドレス変換テーブル
- 5, 7 セクタ
- 8 パリティチェック回路
- 9 カウンタ

【図1】



【図2】

